

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年11月29日 (29.11.2001)

PCT

(10) 国際公開番号  
WO 01/91308 A1

(51) 国際特許分類: H03M 13/27, H04L 1/00  
(21) 国際出願番号: PCT/JP01/04283  
(22) 国際出願日: 2001年5月22日 (22.05.2001)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2000-150360 2000年5月22日 (22.05.2000) JP  
(71) 出願人 (米国を除く全ての指定国について): 株式会社 鷹山 (YOZAN INC.) [JP/JP]; 〒155-0031 東京都世田谷区北沢三丁目5番18号 Tokyo (JP).  
(72) 発明者: および  
(75) 発明者/出願人 (米国についてのみ): 福井正隆

(FUKUI, Masataka) [JP/JP]. 鈴木邦彦 (SUZUKI, Kunihiko) [JP/JP]. 周 長明 (ZHOU, Changming) [CN/JP]; 〒155-0031 東京都世田谷区北沢3丁目5番18号 株式会社 鷹山内 Tokyo (JP).

(74) 代理人: 平木祐輔, 外 (HIRAKI, Yusuke et al.); 〒105-0001 東京都港区虎ノ門一丁目17番1号 虎ノ門5森ビル3階 Tokyo (JP).

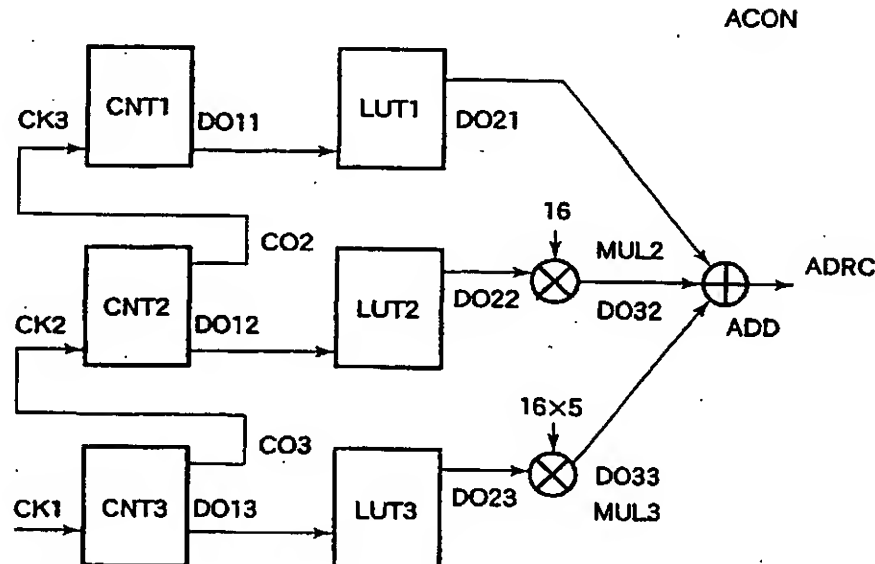
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM,

[続葉有]

(54) Title: ADDRESS CONVERTER, INTERLEAVER AND DE-INTERLEAVER

(54) 発明の名称: アドレス変換器、インターリーバおよびデインターリーバ



(57) Abstract: An interleaver and a de-interleaver of a small scale and a low power consumption. An address converter (ACON) includes three counters (CNT1, CNT2 and CNT3) corresponding to first to third ranks, and the outputs (DO11, DO12 and DO13) of the individual counters (CNT1, CNT2 and CNT3) are inputted to lookup tables (LUT1, LUT2 and LUT3). A clock (CK1) of a predetermined period is inputted to the counter (CNT3) so that numerical values "0" to "3" are repeatedly outputted. A carry-out (CO3), as outputted in synchronism with the output "0" of the counter (CNT3), is inputted as the clock (CK2) to the counter (CNT2) so that the counter (CNT2) outputs the numerical values "0" to "4" repeatedly. A carry-out (CO2), as outputted in synchronism with the output "0" of the counter (CNT2), is inputted as the clock (CK3) to the counter (CNT1) so that the counter (CNT1) outputs the numerical values "0" to "15" repeatedly.

[続葉有]

WO 01/91308 A1

AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,  
LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG,  
CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

本発明は、小規模かつ省電力のインターリーバおよびデインターリーバを提供することを目的とする。アドレス変換器ACONは第1ランク～第3ランクに対応した3個のカウンタCNT1、CNT2、CNT3を有し、各カウンタCNT1、CNT2、CNT3の出力DO11、DO12、DO13はルックアップテーブルLUT1、LUT2、LUT3に入力されている。カウンタCNT3には所定周期のクロックCK1が入力され、「0」～「3」の数値が繰り返し出力される。カウンタCNT2には、カウンタCNT3の「0」の出力に同期して出力されるキャリーアウトCO3がクロックCK2として入力され、カウンタCNT2は「0」～「4」の数値を繰り返し出力する。カウンタCNT1には、カウンタCNT2の「0」の出力に同期して出力されるキャリーアウトCO2がクロックCK3として入力され、カウンタCNT1は「0」～「15」の数値を繰り返し出力する。

## 明 細 書

アドレス変換器、インターリーブおよびデインターリーブ

## 技術分野

本発明は、デジタル通信におけるアドレス変換器、インターリーブおよびデインターリーブに関する。

## 背景技術

送信データに対するノイズの影響を低減する方法として、データ各ビットの順序を均等に攪拌し、攪拌後のビット列を送信するインターリーブが知られている。受信側では攪拌されたデータを元の順序に戻すデインターリーブを実行し、データを再現する。これによってビット列が集中して劣化することが防止され、データの再現が容易になる。そして攪拌すべきデータの1単位の長さが長いほどノイズの影響を低減し得る。しかし、このインターリーブおよびデインターリーブを実行するためには、データ攪拌状態を示すルックアップテーブルが必要であり、攪拌すべきデータ単位が長いほど大規模のルックアップテーブルが必要となる。

ここに、データ攪拌に際しては、攪拌データアドレス列パターンをあらかじめ複数生成しておき、初期アドレス列を2次元マトリックスの複数行に変換し、このマトリックスにおける各列をさらに2次元マトリックスの複数行に変換するという操作を繰り返し、1ランクずつ下位の2次元マトリックスを順次生成する操作を繰り返し、攪拌データアドレス列パターンに収束したときこの操作を終了し、これによって攪拌アドレスを生成するというアルゴリズムが一般的である。

## 発明の開示

近年急激に普及している移動体通信においてもインターリーブおよびデインターリーブは不可欠であるが、移動局に大規模ルックアップテーブルを設けると、消費電力が増大し、回路規模が大きくなるという深刻な問題を生じさせる。

本発明はこのような背景のもとに創案されたもので、インターリーブおよびデインターリーブのための小規模かつ省電力のアドレス変換器、インターリーバおよびデインターリーバを提供することを目的とする。

本発明は、所定アドレスデータ列の長さ以上の要素数を有する  $m \times n$  行列の所定行に相当する  $m$  個以下の要素を順次出力する上位ルックアップテーブルと、前記  $m \times n$  行列の所定列に相当する  $n$  個の要素を順次  $m$  回以下の回数繰り返し出力する下位ルックアップテーブルと、前記上位ルックアップテーブルの出力と前記下位ルックアップテーブルの出力とを加算して前記所定アドレスデータ列を出力する加算器とを備える。これによって大規模ルックアップテーブルは不要であり、小規模回路による攪拌アドレス生成が可能である。

また、前記下位ルックアップテーブルの出力を直接に加算器に入力するのではなく、出力に  $m$  を乗じて前記加算器に入力する乗算器をさらに備えることで、下位ルックアップテーブルが出力する数値を小さいものとして下位ルックアップテーブルに記憶するビット数を少なくすることができる。

また、前記加算器は、3つ以上のルックアップテーブルの出力を加算することで、さらにルックアップテーブルの規模を小さくすることができる。

本発明に係るインターリーバは、前記アドレス変換器と、攪拌すべくデータ列を保持する第1レジスタと、前記アドレス変換器に初期アドレスデータ列を入力したときの攪拌アドレスデータ列に基づいて、第1レジスタのデータ列を前記攪拌アドレスデータ列の順序で登録する第2レジスタとを備え、回路規模が小さい。

本発明に係るインターリーバは、前記アドレス変換器と、攪拌されたデータ列を保持する第2レジスタと、前記アドレス変換器に初期アドレスデータ列を入力したときの攪拌アドレスデータ列に基づいて、第2レジスタのデータ列を前記初期アドレスデータ列の順序で登録する第1レジスタとを備え、回路規模が小さい。

本明細書は本願の優先権の基礎である特許願2000-150360号の明細書および/または図面に記載される内容を包含する。

#### 図面の簡単な説明

図1は、本発明に係るインターリーバによるデータ攪拌の概念を示すブロック図である。

図2は、本発明に係るインターリーバによるデータ復元の概念を示すブロック図である。

図3は、本発明に係るインターリーバの1実施形態におけるアドレス変換器を示すブロック図である。

図4は、図3のアドレス変換器によるアドレス変換の原理を示す概念図である。

図5は、図3のアドレス変換器による各カウンタのクロック周期および最下位ランクのアドレスデータ列の周期を示すタイミング図である。

図6は、本発明に係るインターリーバの他の実施形態におけるアドレス変換器を示すブロック図である。

図7は、図3のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図8は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図9は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 0 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 1 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 2 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 3 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 4 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 5 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 6 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 7 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 8 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

図 1 9 は、他のアドレス変換の原理を示すマトリックス階層を示す概念図である。

#### 符号の説明

C 1、C 2、C 3、C 4、C 5 周期（データ長）

A C O N アドレス変換器

L U T 1、L U T 2、L U T 3、L U T 4、L U T 5 ルックアップ  
テーブル

M U L 1、M U L 2、M U L 3、M U L 4 乗算器

A D D 加算器

D R E G 1 第 1 レジスタ

D R E G 2 第2レジスタ

I N T インターリーバ

D I N T デインターリーバ

発明を実施するための最良の形態

次に本発明に係るインターリーバおよびデインターリーバの一実施形態を図面に基づいて説明する。

図1は本発明に係るインターリーバによるデータ攪拌の概念を示すブロック図であり、図2は本発明に係るデインターリーバによるデータ復元の概念を示すブロック図である。

図1において、インターリーバI N Tは、0、1、2、...のような連続アドレスデータよりなる初期アドレスデータ列A D R 0が入力されるアドレス変換器A C O Nと、攪拌すべくデータ列を保持する第1レジスタD R E G 1と、アドレス変換器A C O Nから出力される攪拌アドレスデータ列A D R Cに基づいて、第1レジスタD R E G 1のデータ列を前記攪拌アドレスデータ列A D R Cの順序で登録する第2レジスタD R E G 2とを備える。初期アドレスデータ列A D R 0は第1レジスタD R E G 1にも入力され、第1レジスタD R E G 1内のデータは初期アドレスデータ列A D R 0の順序で読み出される。一方第2レジスタD R E G 2は、第1レジスタD R E G 1から読み出されたデータを、第2レジスタD R E G 2において攪拌アドレスデータ列A D R Cで指定されたアドレスに書き込む。これによってデータ攪拌が行われる。

図2において、デインターリーバD I N Tは、図1と同様のアドレス変換器A C O Nと、攪拌されたデータ列を保持する第2レジスタD R E G 2と、前記アドレス変換器に初期アドレスデータ列A D R 0を入力したときの攪拌アドレスデータ列A D R Cに基づいて、第2レジスタD R E G 2のデータ列を前記初期アドレスデータ列A D R 0の順序で登録する第1レジスタD R E G 1とを備え、回路規模が小さい。初期アドレス

データ列  $ADR0$  は第1レジスタ  $DREG1$  にも入力され、第2レジスタ  $DREG2$  内のデータは攪拌アドレスデータ列  $ADRC$  の順序で読み出される。一方第1レジスタ  $DREG1$  は、第2レジスタ  $DREG2$  から読み出されたデータを、第1レジスタ  $DREG1$  において初期アドレスデータ列  $ADR0$  で指定されたアドレスに書き込む。これによって攪拌されたデータは初期アドレスデータ列  $ADR0$  の順序に並べ替えて復元される。

図3は図1、図2のアドレス変換器の1例を示すブロック図であり、図4は図3のアドレス変換器によるアドレス変換の原理を示す概念図、図5は図3のアドレス変換器のクロックおよび出力データを示すタイミング図である。

図4において、320ビットのデータ  $Din$  の攪拌の一例を示す。まず320ビットのデータ  $Din$  を16ビットずつの20個のデータ列  $N(1)$ 、 $N(2)$ 、...、 $N(20)$  に分割する。データ列  $N(1)$  に注目するとき、16ビットのデータを例えば4ビットずつの4個のデータ列  $n1(1) \sim n1(4)$  に分割する。次にデータ列  $n1(1)$  のデータを  $2 \times 2$  マトリックス  $m1$  内に行方向に順次並べ、これを列方向に読み出して4ビットデータ列  $n2(1)$  を生成する。他のデータ列  $n1(2) \sim n1(4)$  についても同様である。データ列  $n2(1) \sim n2(4)$  を直列した16ビットデータ列を  $4 \times 4$  マトリックス  $m2$  内に行方向に順次並べ、これを列方向に読み出して16ビットデータ列  $n3$  を生成する。16ビットのデータ  $n3$  を4ビットずつの4個のデータ列  $n4(1) \sim n4(4)$  に分割し、各データ列のデータを  $2 \times 2$  マトリックス  $m3$  内に行方向に順次並べ、これを列方向に読み出して4ビットデータ列  $n5(1) \sim n5(4)$  を生成する。他のデータ列  $N(2) \sim N(20)$  についても同様であり、データ列  $n5(1) \sim n5(4)$  を直列した16ビットデータ列を  $n6(1)$ 、 $N(2) \sim N(20)$  に対応する同様のデータ列を  $n6(2) \sim n6(20)$  とする。



データ列  $n_6(1) \sim n_6(20)$  を各行とする  $20 \times 16$  マトリックス  $m_4$  を生成し、これを列方向に読み出して、16個の20ビットデータ列  $n_7(1) \sim n_7(16)$  を生成する。データ列  $n_7(1)$  に注目するとき、20ビットのデータを5ビットずつの4個のデータ列  $n_8(1) \sim n_8(4)$  に分割する。次にデータ列  $n_8(1)$  のデータを  $2 \times 3$  マトリックス  $m_5$  内に行方向に順次並べ、これを列方向に読み出して5ビットデータ列  $n_9(1)$  を生成する。他のデータ列  $n_8(2) \sim n_8(4)$  についても同様である。データ列  $n_9(1) \sim n_9(4)$  を直列した20ビットデータ列を  $4 \times 5$  マトリックス  $m_6$  内に行方向に順次並べ、これを列方向に読み出して20ビットデータ列  $n_{10}$  を生成する。20ビットのデータ列  $n_{10}$  を4ビットずつの5個のデータ列  $n_{11}(1) \sim n_{11}(5)$  に分割し、各データ列のデータを  $2 \times 2$  マトリックス  $m_7$  内に行方向に順次並べ、これを列方向に読み出して4ビットデータ列  $n_{12}(1) \sim n_{12}(5)$  を生成する。データ列  $n_{12}(1) \sim n_{12}(5)$  を直列したデータ列  $M(1)$  を生成する。他のデータ列  $n_7(2) \sim n_7(16)$  についても同様であり、データ列  $n_7(2) \sim n_7(16)$  に対応する同様のデータ列を  $M(2) \sim M(16)$  とする。そして  $M(1) \sim M(16)$  を直列した320ビットデータ列を攪拌データ  $Dout$  とする。

マトリックス行方向の書き込みと列方向の読み出しは、所定の規則で離間した複数のアドレスと、これを所定数ずつシフトさせたアドレス、さらに所定数ずつシフトさせたアドレスというように複数のアドレス列を生成し、これを直列したものとなる。 $M(1)$  では「0, 160, 80, 240」が最初の複数のアドレス、これらにアドレス「32」を加算した「32, 192, 112, 272」が第2のアドレス列、これらにアドレス「32」を加算した「64, 224, 144, 304」が第3のアドレス列、これらからアドレス「48」を減算した「16, 176, 96, 256」が第4のアドレス列、これらにアドレス「32」を

加算した「48, 208, 128, 288」が第5のアドレス列であり、M(1)はこれらを直列してなる。

M(2)～M(16)は、第1のアドレス列の最初のアドレスが「8」、「4」、「12」、「2」、「10」、「6」、「14」、「1」、「9」、「5」、「13」、「3」、「11」、「7」、「15」となり、M(1)と同様の規則のアドレスとなる。

攪拌データDoutはデータDinの各ビットを所定の間隔をおいて取り出し、順次各データ列M(1)～M(16)内に割り振ったものとなり、各データ列M(1)～M(16)内の配列は所定の規則に基づく。この規則は順次より短い下位のランクの規則の組み合わせで定義することができ、320ビットデータ列であるDoutを第1ランクとして、第2ランクが20ビットのM(i)、第3ランクが4ビットのn12(i)である。

図3および図5において、アドレス変換器ACONは前記第1ランク～第3ランクに対応した3個のカウンタCNT1、CNT2、CNT3を有し、各カウンタCNT1、CNT2、CNT3の出力DO11、DO12、DO13はルックアップテーブルLUT1、LUT2、LUT3に入力されている。カウンタCNT3には所定周期のクロックCK1が入力され、「0」～「3」の数値が繰り返し出力される。これは図4のn12(i)のデータ周期に対応する。カウンタCNT2には、カウンタCNT3の「0」の出力に同期して出力されるキャリーアウトCO3がクロックCK2として入力され、カウンタCNT2は「0」～「4」の数値を繰り返し出力する。すなわちカウンタCNT2はクロックCK1の20クロックを周期とする。これは図4のn10のデータ周期、すなわち5個の4ビットデータに対応する。カウンタCNT1には、カウンタCNT2の「0」の出力に同期して出力されるキャリーアウトCO2がクロックCK3として入力され、カウンタCNT1は「0」～「15」の数値を繰り返し出力する。すなわちカウンタCNT1はクロック

クCK1の320クロックを周期とする。これは初期アドレスデータ列ADR0および攪拌アドレスデータ列ADRCのビット数に等しく、また図4のDoutのデータ周期、すなわち16個の20ビットデータに対応する。

ルックアップテーブルLUT3はn12(1)のデータ配列規則、すなわち「0」～「3」のアドレスを「0, 2, 1, 3」に変換する。ルックアップテーブルLUT2はn9(1)のデータ配列規則、すなわち「0」～「4」のアドレスを「0, 2, 4, 1, 3」に変換する。ルックアップテーブルLUT1はn6のデータ配列規則、すなわち「0」～「15」のアドレスを「0, 8, 4, 12, 2, 10, 6, 14, 1, 9, 5, 13, 3, 11, 7, 15」に変換する。

この結果、

出力DO21が、CK1の320( $=16 \times 5 \times 4$ )クロックを周期として、「0, 8, 4, 12, 2, 10, 6, 14, 1, 9, 5, 13, 3, 11, 7, 15」を1回出力する間に、

出力DO22は、CK1の20( $=5 \times 4$ )クロックを周期として、「0, 2, 4, 1, 3」を16回出力し、

出力DO23は、CK1の4クロックを周期として、「0, 2, 1, 3」を80( $=16 \times 5$ )回出力することになる。

ルックアップテーブルLUT2、LUT3の出力DO22、DO23は乗算器MUL2、MUL3にそれぞれ入力される。乗算器MUL2はキャリーアウトCO2の周期である「16」を出力DO22に乘じ、乗算器MUL3はこの「16」にキャリーアウトCO3の周期である「5」を乗じた値を出力DO23に乘じる。

この結果、

ルックアップテーブルLUT1の出力DO21が、CK1の320( $=16 \times 5 \times 4$ )クロックを周期として、「0, 8, 4, 12, 2, 10, 6, 14, 1, 9, 5, 13, 3, 11, 7, 15」を1回出力す

る間に、

乗算器MUL 2の出力DO 3 2は、CK 1の20 ( $= 5 \times 4$ ) クロックを周期として、「0, 32, 64, 16, 48」を16回出力し、

乗算器MUL 3の出力DO 3 3は、CK 1の4クロックを周期として、「0, 160, 80, 240」を80 ( $= 16 \times 5$ ) 回出力することになる。

乗算器MUL 2、MUL 3の出力DO 3 2、DO 3 3、およびルックアップテーブルLUT 1の出力DO 2 1は加算器ADDに入力され、加算され、攪拌アドレスデータADRCとして出力される。

ここで、乗算器MUL 2、MUL 3の出力DO 3 2、DO 3 3に注目すると、 $m \times n$ 行列 ( $m = 4$ 行、 $n = 5$ 列) の第1行を「0, 32, 64, 16, 48」とし、第1列を「0, 160, 80, 240」として、各要素は対応する第1行の要素と第1列の要素とを加算したものである行列の各要素を(1, 1)から列方向および行方向に順に読み出したものが出力されることになる。すなわち、「0, 160, 80, 240」「32, 192, 112, 272」「64, 224, 144, 304」「16, 176, 96, 256」「48, 208, 128, 288」が順に出力される。

ルックアップテーブルLUT 1～LUT 3のデータ容量はたかだか87ビット ( $4 \times 16 + 3 \times 5 + 2 \times 4$ ) であり、320ビットデータの全アドレスを変換する2.9Kビット ( $9 \times 320$ ) のルックアップテーブルに比較して大幅に回路規模が小さくなる。

図6は攪拌アドレスデータ列ADRCが第5ランクまでのデータ列に分割され、それぞれの配列規則を定義したアドレス変換器ACONの例を示す。

図6において、アドレス変換器ACONは第1ランク～第5ランクに対応した5個のカウンタCNT 1～CNT 5を有し、各カウンタCNT 1～CNT 5の出力DO 1 1～DO 1 5はルックアップテーブルLUT

1 ~ LUT 5に入力されている。カウンタCNT 5には所定周期のクロックCK 1が入力され、0から所定値( $C 5 - 1$ )までの数値が繰り返し出力される。カウンタCNT 4には、カウンタCNT 5の「0」の出力に同期して出力されるキャリーアウトCO 5がクロックCK 2として入力され、カウンタCNT 4は0から所定値( $C 4 - 1$ )までの数値を繰り返し出力する。カウンタCNT 3には、カウンタCNT 4の「0」の出力に同期して出力されるキャリーアウトCO 4がクロックCK 3として入力され、カウンタCNT 3は0から所定値( $C 3 - 1$ )までの数値を繰り返し出力する。カウンタCNT 2には、カウンタCNT 3の「0」の出力に同期して出力されるキャリーアウトCO 3がクロックCK 4として入力され、カウンタCNT 2は0から所定値( $C 2 - 1$ )までの数値を繰り返し出力する。カウンタCNT 1には、カウンタCNT 2の「0」の出力に同期して出力されるキャリーアウトCO 2がクロックCK 5として入力され、カウンタCNT 1は0から所定値( $C 1 - 1$ )までの数値を繰り返し出力する。カウンタCNT 1は( $C 1 \times C 2 \times C 3 \times C 4 \times C 5$ )を周期とする出力を生成する。これは初期アドレスデータ列ADR 0および攪拌アドレスデータ列ADRCのビット数に等しく、かつ出力Doutのデータ周期に対応する。

ルックアップテーブルLUT 5は第5ランクのデータ配列規則に基づき0 ~ ( $C 5 - 1$ )の数値を所定アドレスに変換し、ルックアップテーブルLUT 4は第4ランクのデータ配列規則に基づき0 ~ ( $C 4 - 1$ )の数値を所定アドレスに変換し、ルックアップテーブルLUT 3は第3ランクのデータ配列規則に基づき0 ~ ( $C 3 - 1$ )の数値を所定アドレスに変換し、ルックアップテーブルLUT 2は第2ランクのデータ配列規則に基づき0 ~ ( $C 2 - 1$ )の数値を所定アドレスに変換し、ルックアップテーブルLUT 1は第1ランクのデータ配列規則に基づき0 ~ ( $C 1 - 1$ )の数値を所定アドレスに変換する。

ルックアップテーブルLUT 2 ~ LUT 5の出力DO 2 2 ~ DO 2 5

は乗算器MUL 2～MUL 5にそれぞれ入力される。乗算器MUL 2はキャリーアウトCO 2の周期であるC 1を出力DO 2 2に乘じ、乗算器MUL 3はキャリーアウトCO 2、CO 3の周期であるC 1、C 2の積を出力DO 2 3に乘じ、乗算器MUL 4はキャリーアウトCO 2、CO 3、CO 4の周期であるC 1、C 2、C 3の積を出力DO 2 4に乘じ、乗算器MUL 5はキャリーアウトCO 2、CO 3、CO 4、CO 5の周期であるC 1、C 2、C 3、C 4の積を出力DO 2 5に乘じる。乗算器MUL 2～MUL 5の出力DO 3 2～DO 3 5、およびルックアップテーブルLUT 1の出力DO 2 1は加算器ADDに入力され、加算され、攪拌アドレスデータADRCとして出力される。

このようにランク数に応じてルックアップテーブルを並列に設け、出力により上位のカウンタの周期を乘じ、最上位のルックアップテーブル出力と全ての乗算器出力を加算することによって任意のランクに分割された複雑な攪拌に対応し得る。

またルックアップテーブルを分割して持つことにより、全アドレスを変換するルックアップテーブルに比較して大幅に回路規模が小さくなる。

図7は、図3のアドレス変換の原理を示すマトリックス階層を示す概念図であり、図4のマトリックスm 4のデータ数 $20 \times 16$ に対し、その16列をマトリックスm 1、m 3からなるマトリックスm 2によって定義する。一方マトリックスm 4の20行を、マトリックスm 5、m 7からなるマトリックスm 6によって定義する。

図8は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $17 \times 16$ のマトリックスm 8 1に対し、その16列を $2 \times 2$ マトリックスm 8 2、m 8 3からなる $4 \times 4$ マトリックスm 8 4によって定義する。一方マトリックスm 8 1の17行を $4 \times 5$ マトリックスm 8 5の一部によって定義し、マトリックスm 8 5の4行を $2 \times 2$ マトリックスm 8 6によって定義し、マトリックスm 8 5の5列を $3 \times 2$ マ

トリックス $m_{87}$ の一部によって定義する。

図9は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $72 \times 16$ のマトリックス $m_{91}$ に対し、その16列を $2 \times 2$ マトリックス $m_{92}$ 、 $m_{93}$ からなる $4 \times 4$ マトリックス $m_{94}$ によって定義する。マトリックス $m_{91}$ の72行を $8 \times 9$ マトリックス $m_{95}$ によって定義し、マトリックス $m_{95}$ の8行を $4 \times 2$ マトリックス $m_{96}$ によって定義し、マトリックス $m_{96}$ の4行を $2 \times 2$ マトリックス $m_{97}$ によって定義する。マトリックス $m_{95}$ の9列を $3 \times 3$ マトリックス $m_{98}$ によって定義する。

図10は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $18 \times 16$ のマトリックス $m_{101}$ に対し、その16列を $2 \times 2$ マトリックス $m_{102}$ 、 $m_{103}$ からなる $4 \times 4$ マトリックス $m_{104}$ によって定義する。マトリックス $m_{101}$ の18行を $3 \times 6$ マトリックス $m_{105}$ によって定義し、マトリックス $m_{105}$ の6列を $3 \times 2$ マトリックス $m_{106}$ によって定義する。

図11は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $80 \times 16$ のマトリックス $m_{111}$ に対し、その16列を $2 \times 2$ マトリックス $m_{112}$ 、 $m_{113}$ からなる $4 \times 4$ マトリックス $m_{114}$ によって定義する。マトリックス $m_{111}$ の80行を $8 \times 10$ マトリックス $m_{115}$ によって定義し、マトリックス $m_{115}$ の8行を $4 \times 2$ マトリックス $m_{116}$ によって定義し、マトリックス $m_{116}$ の4行を $2 \times 2$ マトリックス $m_{117}$ によって定義する。マトリックス $m_{115}$ の10列を $5 \times 2$ マトリックス $m_{118}$ によって定義し、マトリックス $m_{118}$ の5行を $3 \times 2$ マトリックス $m_{119}$ の一部によって定義する。

図12は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $30 \times 16$ のマトリックス $m_{131}$ に対し、その16列を $2 \times 2$ マトリックス $m_{132}$ 、 $m_{133}$ からなる $4 \times 4$ マトリックス $m$

134によって定義する。一方マトリックス $m_{131}$ の30行を $5 \times 6$ マトリックス $m_{135}$ によって定義し、マトリックス $m_{135}$ の5行を $2 \times 3$ マトリックス $m_{136}$ の一部によって定義し、マトリックス $m_{135}$ の6列を $3 \times 2$ マトリックス $m_{137}$ によって定義する。

図13は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $40 \times 16$ のマトリックス $m_{141}$ に対し、その16列を $2 \times 2$ マトリックス $m_{142}$ 、 $m_{143}$ からなる $4 \times 4$ マトリックス $m_{144}$ によって定義する。マトリックス $m_{141}$ の40行を $5 \times 8$ マトリックス $m_{145}$ によって定義し、マトリックス $m_{145}$ の8列を $4 \times 2$ マトリックス $m_{146}$ によって定義し、マトリックス $m_{146}$ の4行を $2 \times 2$ マトリックス $m_{147}$ によって定義する。マトリックス $m_{145}$ の5行を $2 \times 3$ マトリックス $m_{148}$ の一部によって定義する。

図14は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $24 \times 16$ のマトリックス $m_{151}$ に対し、その16列を $2 \times 2$ マトリックス $m_{152}$ 、 $m_{153}$ からなる $4 \times 4$ マトリックス $m_{154}$ によって定義する。一方マトリックス $m_{151}$ の24行を $4 \times 6$ マトリックス $m_{155}$ によって定義し、マトリックス $m_{155}$ の4行を $2 \times 2$ マトリックス $m_{156}$ によって定義し、マトリックス $m_{155}$ の6列を $3 \times 2$ マトリックス $m_{157}$ によって定義する。

図15は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $35 \times 16$ のマトリックス $m_{161}$ に対し、その16列を $2 \times 2$ マトリックス $m_{162}$ 、 $m_{163}$ からなる $4 \times 4$ マトリックス $m_{164}$ によって定義する。マトリックス $m_{161}$ の35行を $5 \times 7$ マトリックス $m_{165}$ によって定義し、マトリックス $m_{165}$ の5行を $2 \times 3$ マトリックス $m_{166}$ の一部によって定義し、マトリックス $m_{165}$ の7列を $3 \times 3$ マトリックス $m_{167}$ の一部によって定義する。マトリックス $m_{167}$ の3行を $2 \times 2$ マトリックス $m_{168}$ の一部によって定義する。



図16は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $65 \times 16$ のマトリックス $m171$ に対し、その16列を $2 \times 2$ マトリックス $m172$ 、 $m173$ からなる $4 \times 4$ マトリックス $m174$ によって定義する。マトリックス $m171$ の65行を $9 \times 8$ マトリックス $m175$ の一部によって定義し、マトリックス $m175$ の9行を $3 \times 3$ マトリックス $m176$ によって定義し、マトリックス $m175$ の8列を $4 \times 2$ マトリックス $m178$ によって定義する。マトリックス $m178$ の4行を $2 \times 2$ マトリックス $m179$ によって定義する。

図17は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $65 \times 128$ のマトリックス $m181$ に対し、その128列を $16 \times 8$ マトリックス $m182$ によって定義する。マトリックス $m182$ の16行を $2 \times 2$ マトリックス $m183$ 、 $m184$ よりなる $4 \times 4$ マトリックス $m185$ によって定義する。マトリックス $m182$ の8列を $4 \times 2$ マトリックス $m186$ によって定義し、マトリックス $m186$ の4行を $2 \times 2$ マトリックス $m187$ によって定義する。マトリックス $m181$ の65行を $9 \times 8$ マトリックス $m188$ の一部によって定義し、マトリックス $m188$ の9行を $3 \times 3$ マトリックス $m1881$ によって定義し、マトリックス $m188$ の8列を $4 \times 2$ マトリックス $m1882$ によって定義する。マトリックス $m1882$ の4行を $2 \times 2$ マトリックス $m1883$ によって定義する。

図18は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $125 \times 16$ のマトリックス $m191$ に対し、その16列を $2 \times 2$ マトリックス $m192$ 、 $m193$ からなる $4 \times 4$ マトリックス $m194$ によって定義する。マトリックス $m191$ の125行を $12 \times 11$ マトリックス $m195$ の一部によって定義し、マトリックス $m195$ の12行を $4 \times 3$ マトリックス $m196$ によって定義し、マトリックス $m196$ の4行を $2 \times 2$ マトリックス $m197$ によって定義する。マトリックス $m195$ の11列を $3 \times 5$ マトリックス $m198$ の一部によ

って定義し、マトリックス $m_{198}$ の5列を $3 \times 2$ マトリックス $m_{199}$ の一部によって定義する。

図19は、他のアドレス変換の原理を示すマトリックス階層を示す概念図であり、 $125 \times 128$ のマトリックス $m_{201}$ に対し、その128列を $16 \times 8$ マトリックス $m_{202}$ によって定義する。マトリックス $m_{202}$ の16行を $2 \times 2$ マトリックス $m_{203}$ 、 $m_{204}$ よりなる $4 \times 4$ マトリックス $m_{205}$ によって定義する。マトリックス $m_{202}$ の8列を $4 \times 2$ マトリックス $m_{206}$ によって定義し、マトリックス $m_{206}$ の4行を $2 \times 2$ マトリックス $m_{207}$ によって定義する。マトリックス $m_{201}$ の125行を $12 \times 11$ マトリックス $m_{208}$ の一部によって定義し、マトリックス $m_{208}$ の12行を $4 \times 3$ マトリックス $m_{209}$ によって定義し、マトリックス $m_{209}$ の4行を $2 \times 2$ マトリックス $m_{210}$ によって定義する。マトリックス $m_{208}$ の11列を $3 \times 5$ マトリックス $m_{211}$ の一部によって定義し、マトリックス $m_{211}$ の5列を $2 \times 3$ マトリックス $m_{212}$ の一部によって定義する。

#### 産業上の利用の可能性

前述のとおり、本発明によれば小規模かつ省電力のアドレス変換器、インターリーバおよびデインターリーバを提供し得る。

## 請 求 の 範 囲

1. 所定アドレスデータ列の長さ以上の要素数を有する  $m \times n$  行列の所定行に相当する  $m$  個以下の要素を順次出力する上位ルックアップテーブルと、

前記  $m \times n$  行列の所定列に相当する  $n$  個の要素を順次  $m$  回以下の回数繰り返し出力する下位ルックアップテーブルと、

前記上位ルックアップテーブルの出力と前記下位ルックアップテーブルの出力とを加算して前記所定アドレスデータ列を出力する加算器とを備えることを特徴とするアドレス変換器。

2. 前記下位ルックアップテーブルの出力を直接に加算器に入力するのではなく、出力に  $m$  を乗じて前記加算器に入力する乗算器をさらに備えることを特徴とする請求項 1 記載のアドレス変換器。

3. 前記加算器は、3 つ以上のルックアップテーブルの出力を加算することを特徴とする請求項 1 又は 2 記載のアドレス変換器。

4. 請求項 1 記載のアドレス変換器と、

攪拌すべくデータ列を保持する第 1 レジスタと、

前記アドレス変換器に初期アドレスデータ列を入力したときの攪拌アドレスデータ列に基づいて、第 1 レジスタのデータ列を前記攪拌アドレスデータ列の順序で登録する第 2 レジスタとを備えることを特徴とするインターリーバ。

5. 請求項 1 記載のアドレス変換器と、

攪拌されたデータ列を保持する第 2 レジスタと、

前記アドレス変換器に初期アドレスデータ列を入力したときの攪拌アドレスデータ列に基づいて、第 2 レジスタのデータ列を前記初期アドレスデータ列の順序で登録する第 1 レジスタとを備えることを特徴とするデインターリーバ。

図1

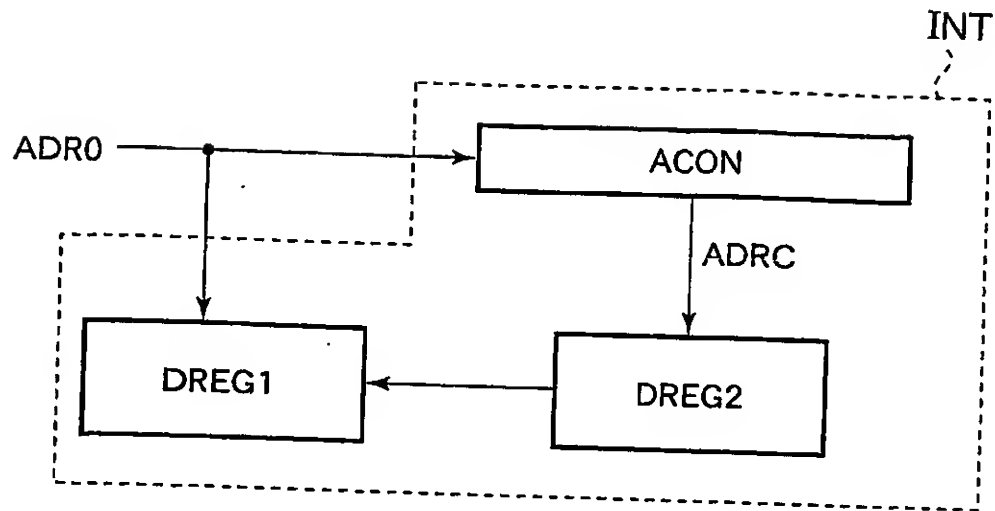


図2

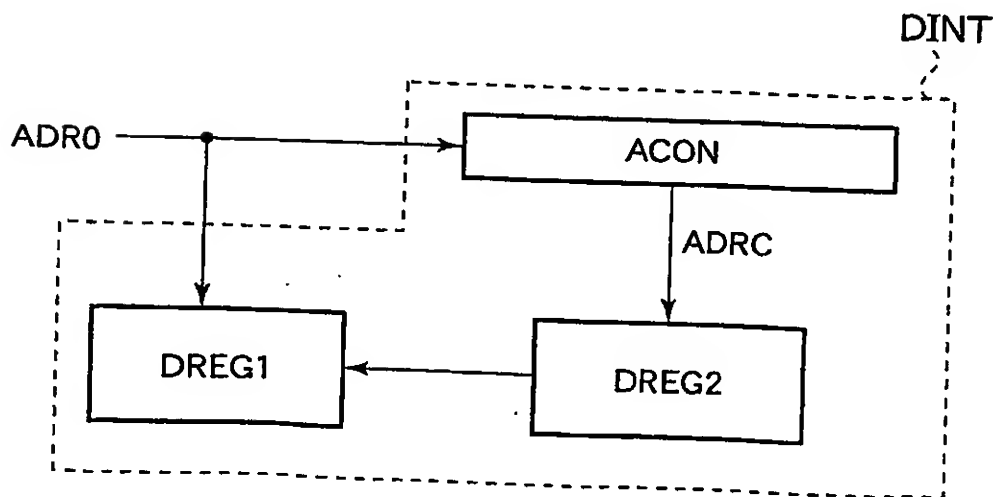
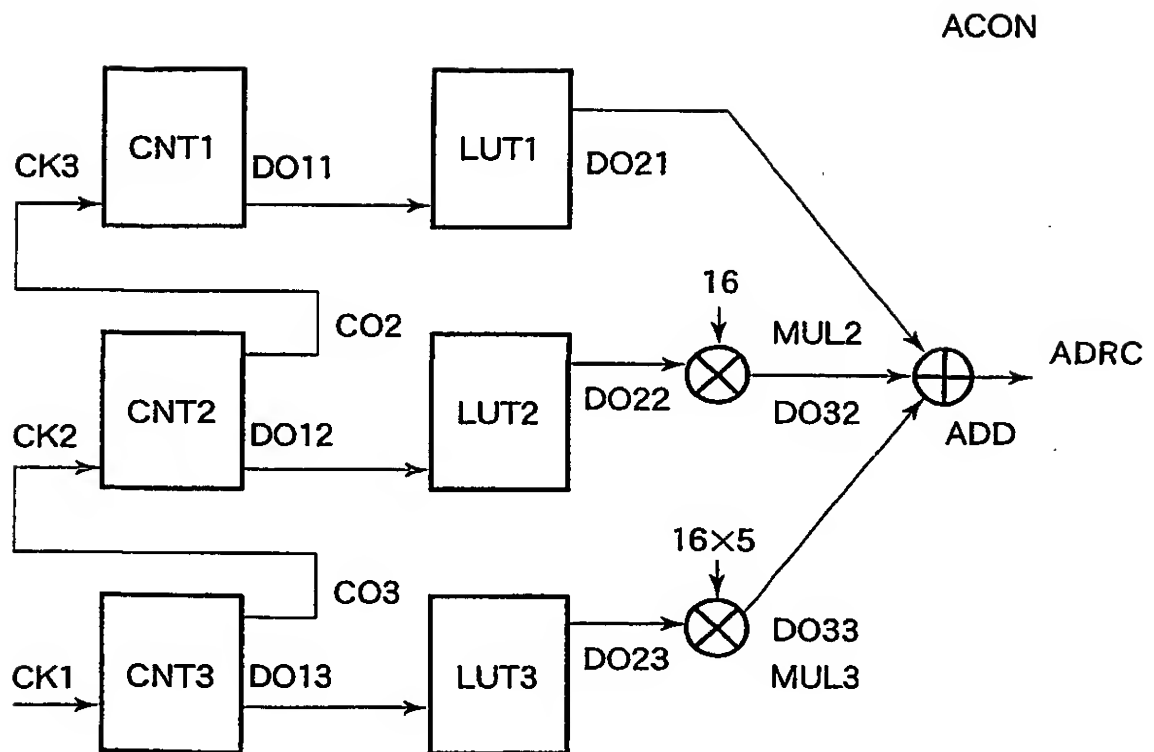


図3



## 図4

Din

N(1)	N(2)	N(3)	.....	N(20)
------	------	------	-------	-------

n1(1) n1(4)

0	1	2	3	4	5	...	14	15
---	---	---	---	---	---	-----	----	----

0	1
2	3

~m1  
4[2×2]×4[2×2]

0	2	1	3	4	6	...	13	15
---	---	---	---	---	---	-----	----	----

n2(1)

n2(4)

0	2	1	3
4	6	5	7
8	10	9	11
12	14	13	15

~m2

4[2×2]×4[2×2]

n4(1)

n4(4)

0	4	8	12	2	6	...	11	15
---	---	---	----	---	---	-----	----	----

n3

0	4
8	12

~m3

4[2×2]×4[2×2]

0	8	4	12	2	10	...	7	15
---	---	---	----	---	----	-----	---	----

n6(1)

n5(1)

n5(4)

Dout

M(1)	M(2)	M(3)	.....	M(16)
------	------	------	-------	-------

n12(1)

n12(5)

0	160	80	240	32	192	...	128	288
---	-----	----	-----	----	-----	-----	-----	-----

0	80
160	240

~m7  
4[2×2]×5[3×2]

0	80	160	240	32	112	...	204	288
---	----	-----	-----	----	-----	-----	-----	-----

n10

n11(1)

n11(5)

0	32	64	16	48
80	112	144	96	128
160	192	224	176	208
240	272	304	256	288

~m6

4[2×2]×5[3×2]

n9(1)

n9(4)

0	32	64	16	48	80	...	256	288
---	----	----	----	----	----	-----	-----	-----

0	16
32	48
64	

~m5

4[2×2]×5[3×2]

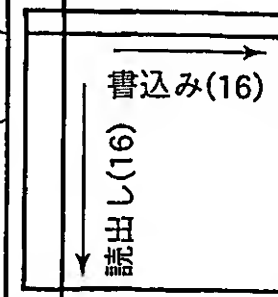
0	16	32	48	64	80	...	288	304
---	----	----	----	----	----	-----	-----	-----

n7(1)

n8(1)

n8(4)

m4 ~



$$20[4[2 \times 2] \times 5[3 \times 2] \times 16[4[2 \times 2] \times 4[2 \times 2]]$$

図5

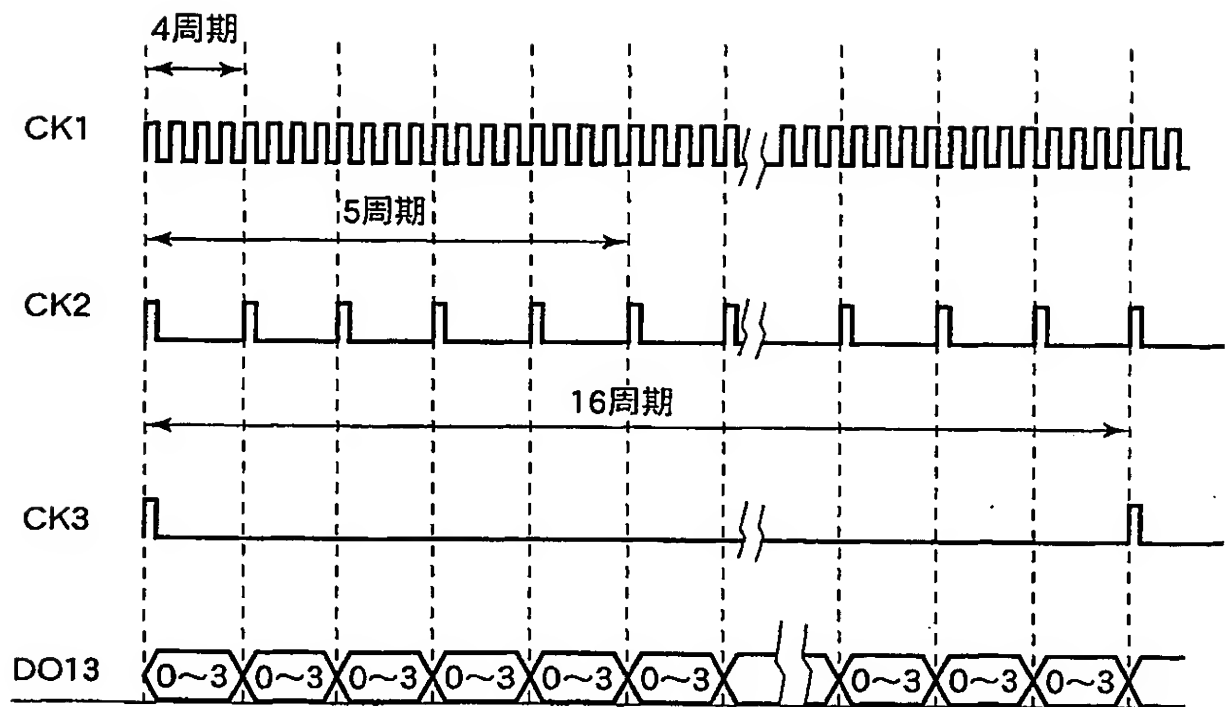


図6

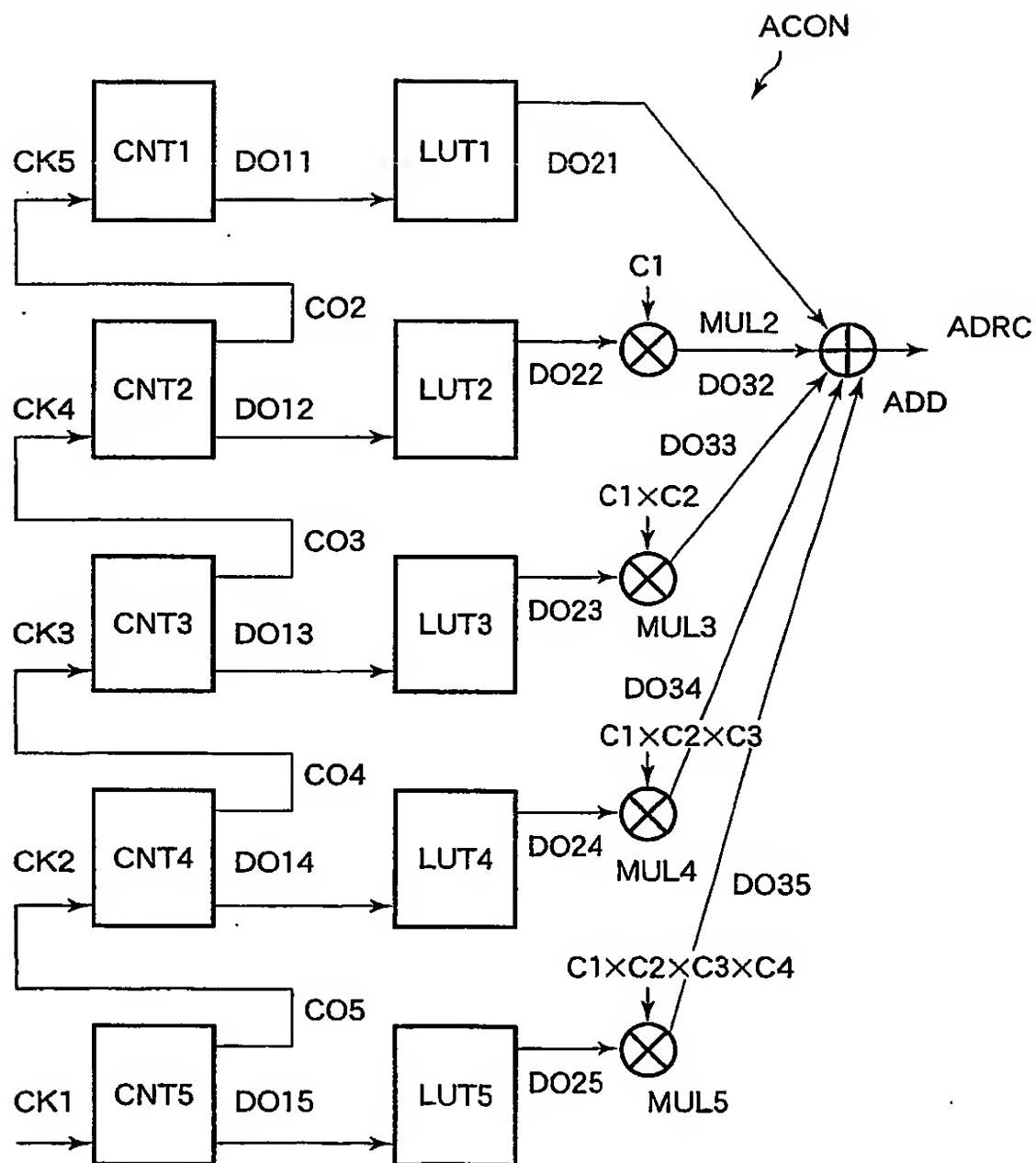




図7

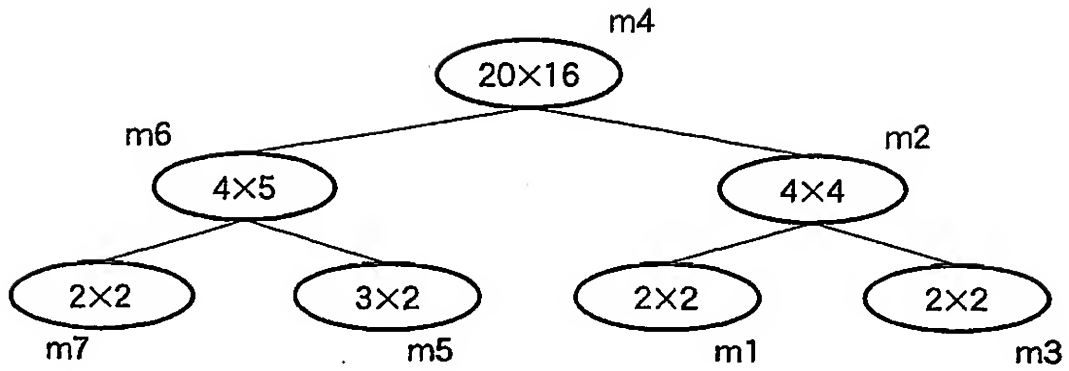


図8

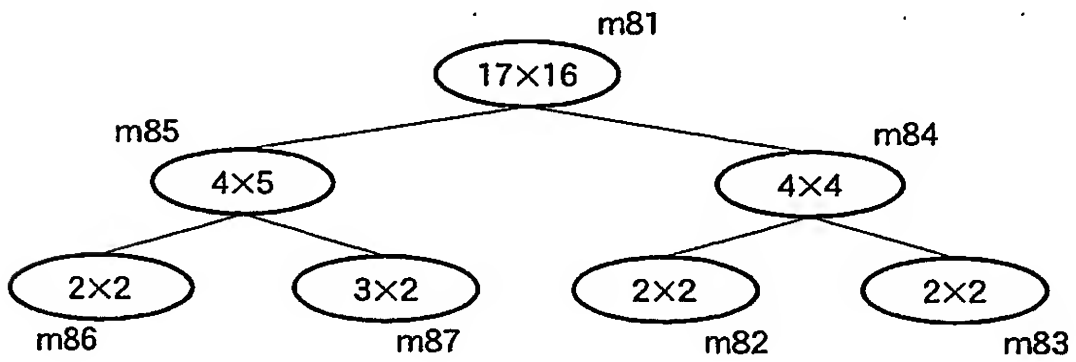


図9

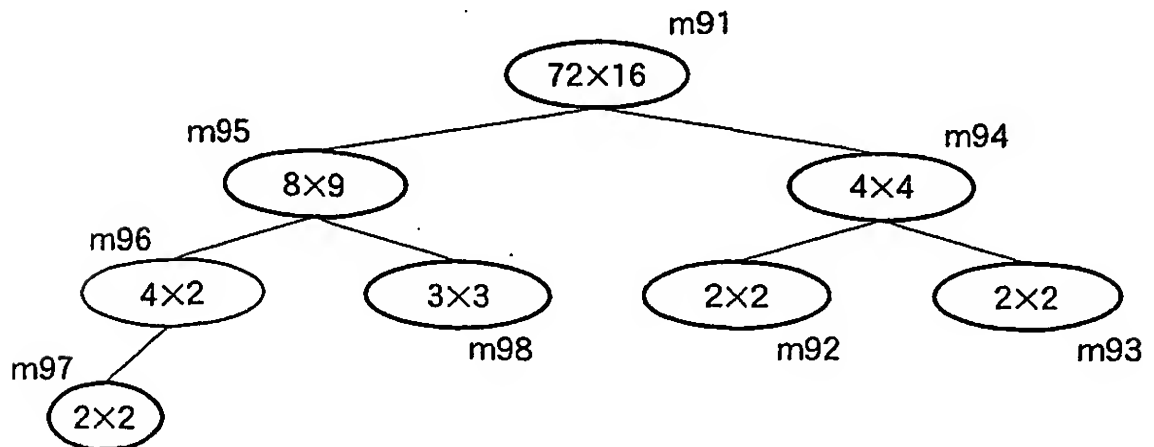


図10

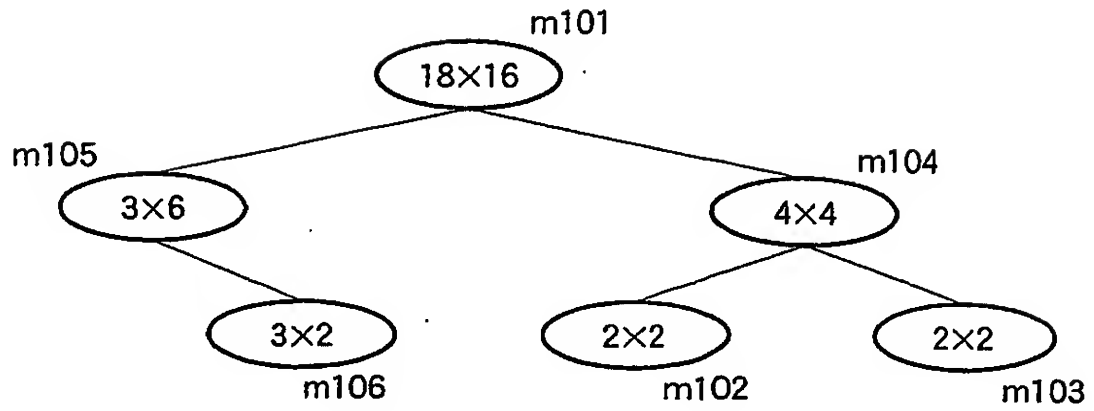


図11

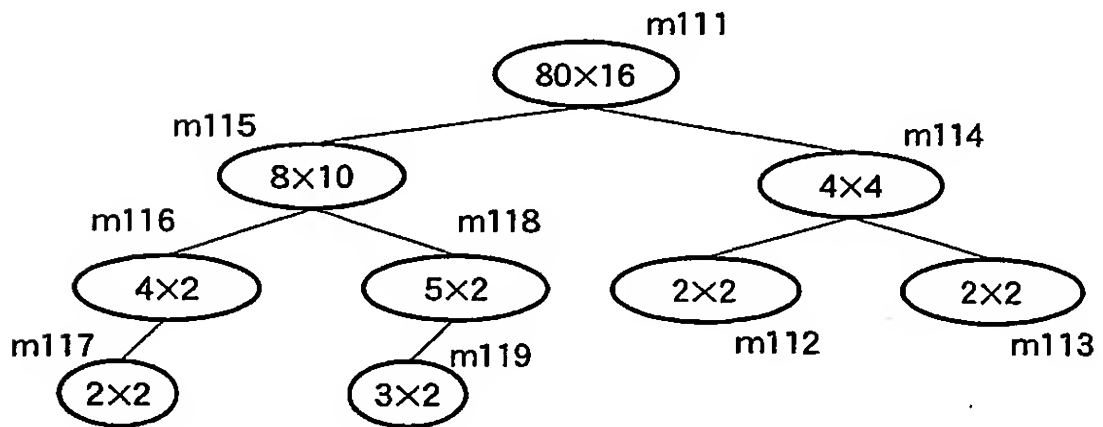


図12

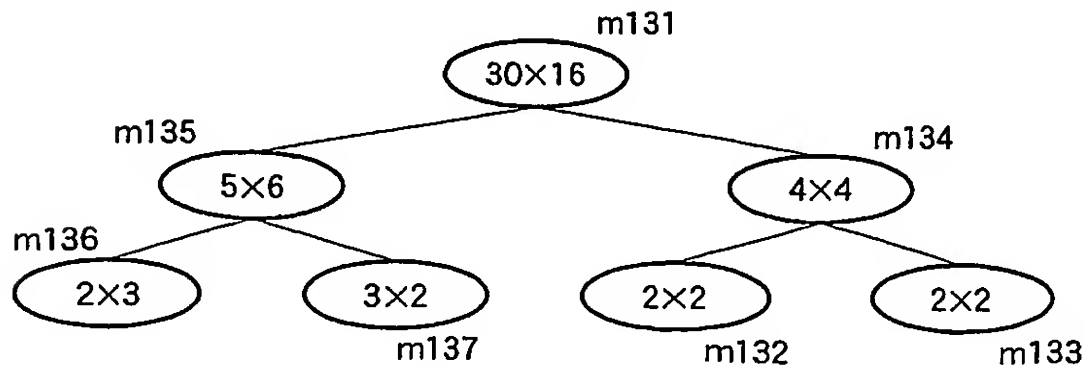


図13

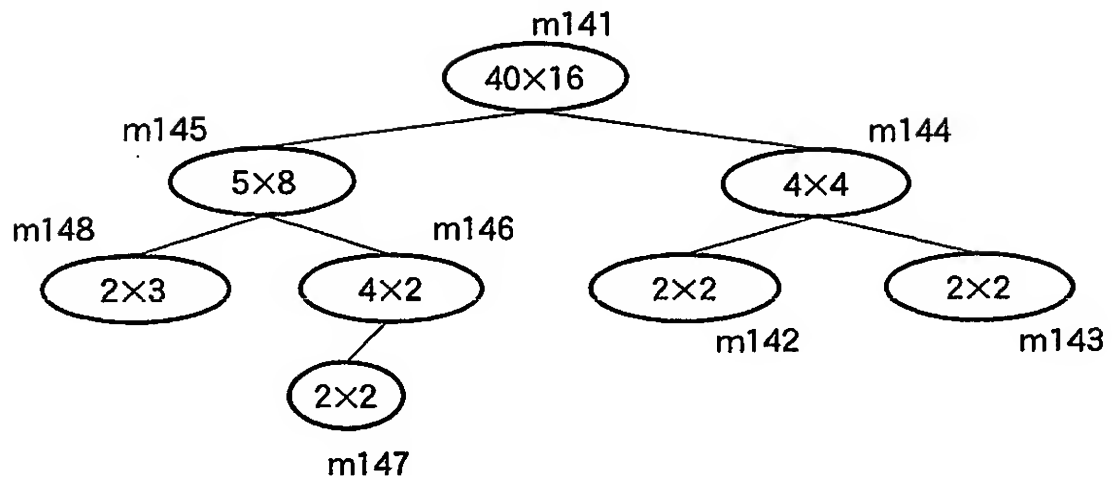


図14

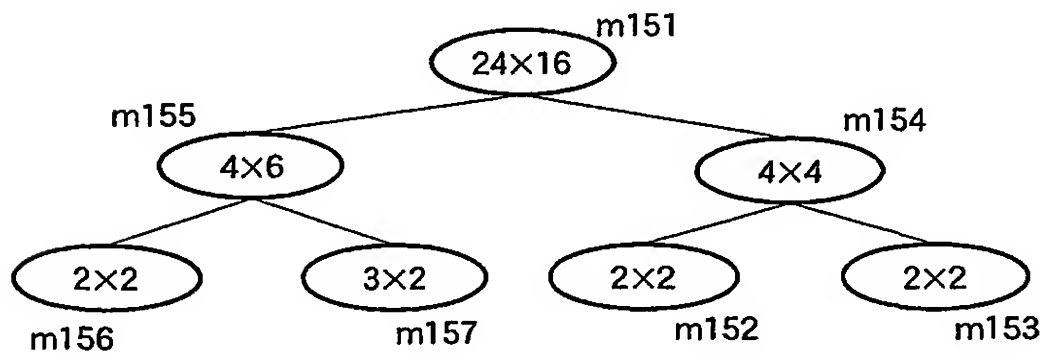


図15

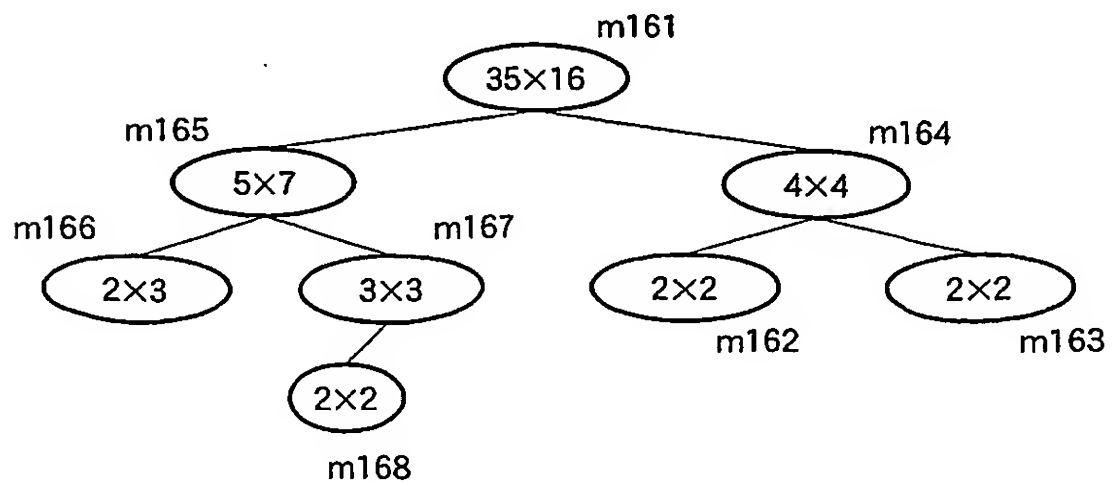


図16

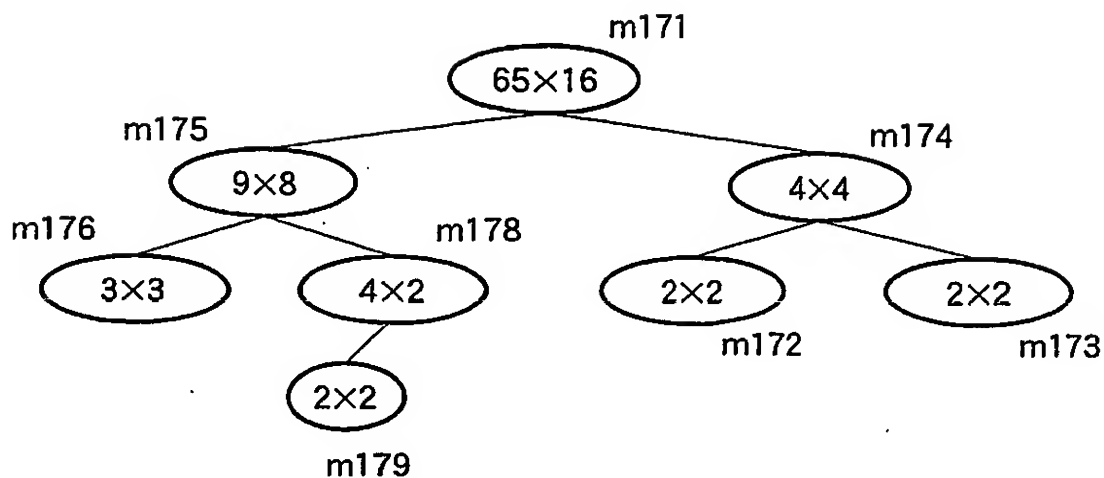


図17

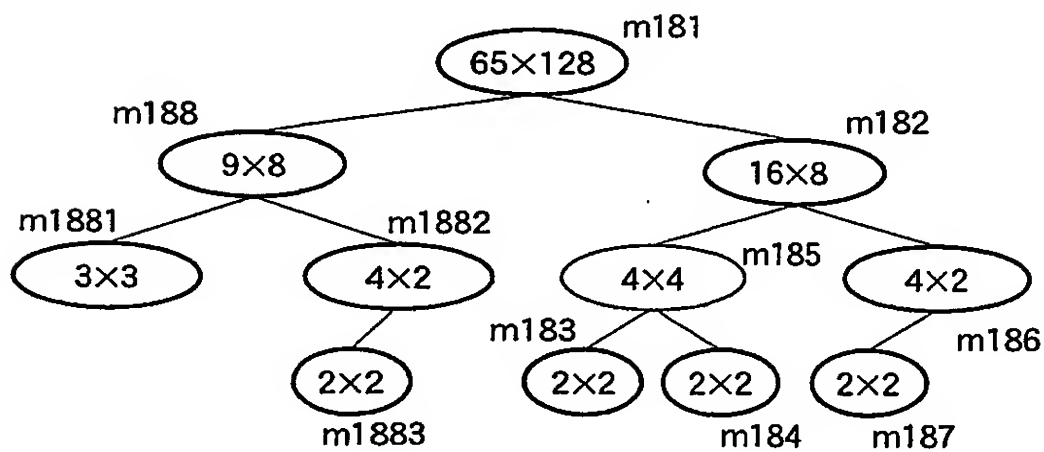


図18

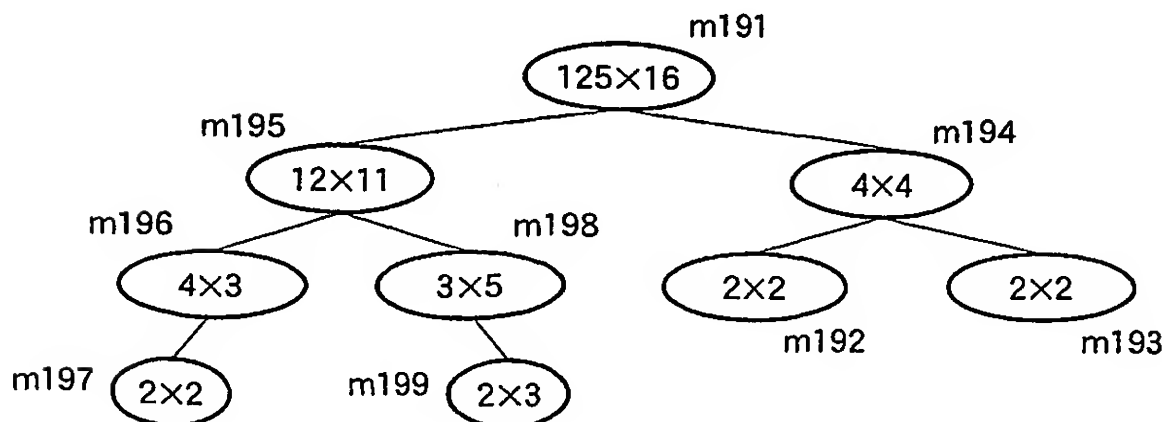
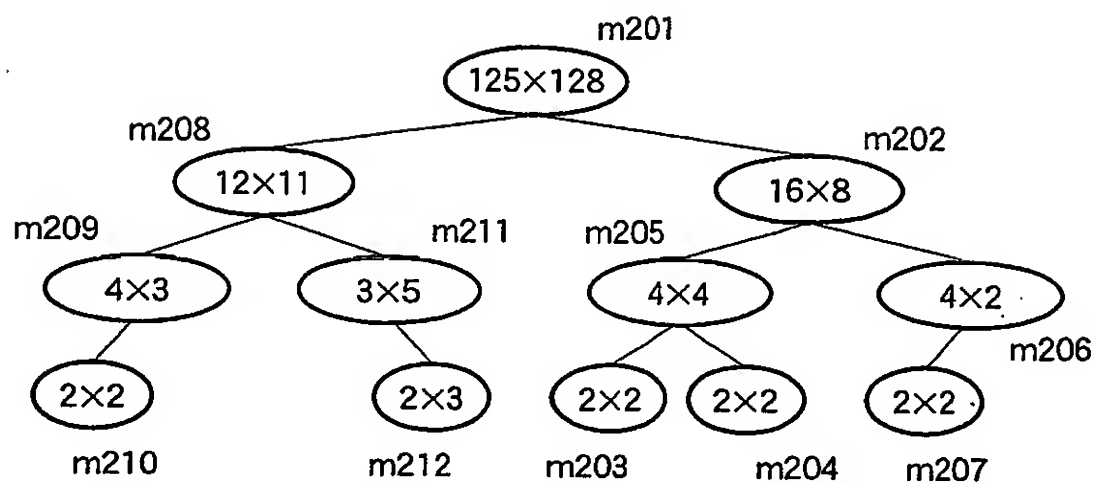


図19



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04283

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H03M13/27, H04L 1/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H03M13/00, H04L 1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 874492 A2 (Matsushita Electric Industrial Co., Ltd), 28 October, 1998 (28.10.98), abstract; Fig. 2 & JP 10-303854 A & US 6009544 A	1-5
A	EP 929037 A1 (Matsushita Electric Industrial Co., Ltd.), 14 July, 1999 (14.07.99), abstract; Fig. 1 & JP 2000-183754 A	1-5
A	US 5239512 A (U.S. Philips Corporation), 24 August, 1993 (24.08.93), abstract & EP 440301 A1 & JP 4-213775 A	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
16 July, 2001 (16.07.01)

Date of mailing of the international search report  
31 July, 2001 (31.07.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H03M13/27  
H04L 1/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H03M13/00  
H04L 1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP 874492 A2 (MATSUSITA ELECTRIC INDUSTRIAL CO., LTD.) 28.10月.1998 (28.10.98) Abstract, FIG. 2 & JP 10-303854 A & US 6009544 A	1-5
A	EP 929037 A1 (Matsusita Electric Industrial Co., Ltd.) 14.7月.1999 (14.07.99) abstract, Fig. 1 & JP 2000-183754 A	1-5
A	US 5239512 A (U.S. Philips Corporation) 24.8月.1993 (24.08.93) abstract & EP 440301 A1 & JP 4-213775 A	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

16.07.01

国際調査報告の発送日

31.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

近藤 聡

5K

8730

電話番号 03-3581-1101 内線 3555

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 PH-1181-PCT	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP01/04283	国際出願日 (日.月.年) 22.05.01	優先日 (日.月.年) 22.05.00
出願人(氏名又は名称) 株式会社鷹山		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。  
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。  
☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、  
第 3 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H03M13/27  
H04L 1/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H03M13/00  
H04L 1/00.

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	✓ EP 874492 A2 (MATSUSITA ELECTRIC INDUSTRIAL CO., LTD.) 28.10月.1998 (28.10.98) Abstract, FIG. 2 & JP 10-303854 A & US 6009544 A	1-5
A	✓ EP 929037 A1 (Matsusita Electric Industrial Co., Ltd.) 14.7月.1999 (14.07.99) abstract, Fig. 1 & JP 2000-183754 A	1-5
A	✓ US 5239512 A (U.S. Philips Corporation) 24.8月.1993 (24.08.93) abstract & EP 440301 A1 & JP 4-213775 A	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

16.07.01

国際調査報告の発送日

31.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

近藤 聡

印

5K

8730

電話番号 03-3581-1101 内線 3555